

INTERRUPCIONES

El microcontrolador Z8^{PLUS} tiene 15 interrupciones que pueden venir de las siguientes fuentes:

- Entradas externas
- Periféricos del chip
- Software

Las interrupciones pueden ser enmascaradas usando el registro Interrupt Mask Register. Todas las interrupciones pueden ser deshabilitadas poniendo en estado bajo el bit 7 del registro Interrupt Mask Register, con la instrucción Deshabilitar Interrupción (DI). Las interrupciones pueden ser habilitadas poniendo el bit 7 en estado alto con la instrucción Habilitar Interrupción (EI).

Existen cuatro registros de control de interrupciones: IREQ, IREQ2, IMASK, IMASK2.

| Registro | (Hex.) | identificador |
|---------------------|--------|---------------|
| Interrupt Mask | 0FBH | IMASK |
| Interrupt Request | 0FAH | IREQ |
| Interrupt Mask 2 | 0F9H | IMASK2 |
| Interrupt Request 2 | 0F8H | IREQ2 |

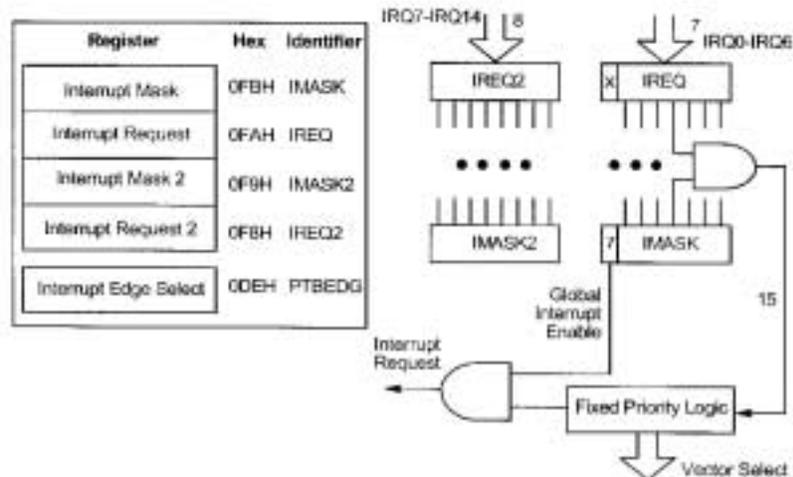


Fig. 4.1 Diagrama de bloques de las interrupciones

FUENTES DE INTERRUPCION

La siguiente tabla nos presenta los tipos de interrupción, sus fuentes y los vectores disponibles para el Z8E001. Otros procesadores de la familia del Z8^{PLUS} podrían tener sus interrupciones definidas de diferente manera.

Tabla 4-1 Tipos, fuentes y vectores de interrupción.

| Name | Sources | Vector Location | Comments | Fixed Priority |
|---|----------------------------|-----------------|--------------------------------|----------------|
| IREQ ₀ | Timer0 Time-out | 2,3 | Internal | 1 (Highest) |
| IREQ ₁ | PB4 High-to-Low Transition | 4,5 | External (PB4), Edge Triggered | 2 |
| IREQ ₂ | Timer1 Time-out | 6,7 | Internal | 3 |
| IREQ ₃ | PB2 High-to-Low Transition | 8,9 | External (PB2), Edge Triggered | 4 |
| IREQ ₄ | PB4 Low-to-High Transition | A,B | External (PB4), Edge Triggered | 5 |
| IREQ ₅ | Timer2 Time-out | C,D | Internal | 6 (Lowest) |
| IREQ ₆ - IREQ ₁₅ | Reserved | | Reserved for future expansion | |

FUENTES EXTERNAS DE INTERRUPCIÓN

Las fuentes externas de interrupción pueden ser generadas por una transición en el puerto. La interrupción puede detectar una transición positiva, negativa o ambas.

FUENTES INTERNAS DE INTERRUPCIÓN

Los periféricos del chip pueden generar interrupciones bajo varias condiciones. Algunos periféricos generan su propia solicitud de interrupción, bit de IREQ, mientras que otros deben ser configurados para hacer esto.

INTERRUPT REQUEST (IREQ)

El Z8^{PLUS} responde a las interrupciones al finalizar cada instrucción. Si una interrupción no enmascarada es detectada al finalizar una instrucción, el microcontrolador no se va a ejecutar la siguiente instrucción, en vez de eso, selecciona el tipo de interrupción que tiene mayor prioridad para entonces ejecutar su rutina de servicio. El contador de programa (PC) y los registros de banderas son mandados al stack durante el siguiente ciclo de instrucciones. El bit correspondiente de IREQ se pone en estado bajo, el master enable también se pone en estado bajo y el microcontrolador saca el vector de interrupción de la memoria de programa. Después, se saltara a la rutina de servicio de interrupción establecida previamente por el usuario durante el siguiente ciclo.

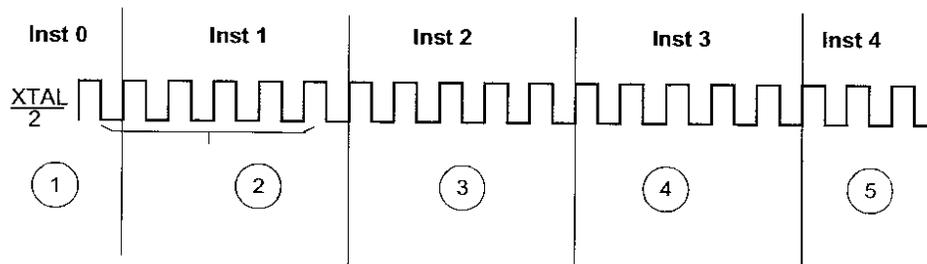


Fig. 4.2 Secuencia de la rutina de servicio de interrupción.

INTERRUPT MASK REGISTER (IMASK)

El registro IMASK puede habilitar o deshabilitar las interrupciones individual o globalmente (ver tabla). Cuando los bits del 0 al 6 se ponen en estado alto la solicitud de interrupción correspondiente es habilitada. En el registro IMASK2, los bits del 0 al 7 habilitan y deshabilitan IRQ7 a IRQ14 respectivamente. El bit 7 es el llamado master enable, este debe ser puesto en estado alto para que cualquier solicitud de interrupción pueda ser reconocida. Si el bit 7 esta en estado bajo, todas las solicitudes de interrupciones se deshabilitan. La instrucción EI (Enable Interrupt) pone en uno el bit 7 y DI (Disable Interrupt) lo pone en estado bajo. Durante la rutina de servicio de interrupción es puesto automáticamente en estado bajo y regresa a uno después de la ejecución de la instrucción Interrupt Return (IRET). Los registros IMASK se ponen en 00H deshabilitando así todas las interrupciones.

NOTA:

1. No se recomienda asignar directamente el valor del bit enable master, se recomienda usar las instrucciones EI y DI.
2. No se debe poner en estado bajo los bits del IMASK mientras el master enable esta habilitado.

| | | | | | | | | |
|---|-----|-----|-----|-----|-----|-----|-----|-----|
| Bit | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R = Read W = Write X = Indeterminate U = Undefined/Undetermined | | | | | | | | |

| Bit Position | R/W | Value | Description |
|--------------|-----|-------|---------------------|
| 7 | | 0 | Disables Interrupts |
| | | 1 | Enables Interrupts |
| 6 | | 0 | Disables IRQ5 |
| | | 1 | Enables IRQ5 |
| 5 | | 0 | Disables IRQ5 |
| | | 1 | Enables IRQ5 |
| 4 | | 0 | Disables IRQ4 |
| | | 1 | Enables IRQ4 |
| 3 | | 0 | Disables IRQ3 |
| | | 1 | Enables IRQ3 |
| 2 | | 0 | Disables IRQ2 |
| | | 1 | Enables IRQ2 |
| 1 | | 0 | Disables IRQ1 |
| | | 1 | Enables IRQ1 |
| 0 | | 0 | Disables IRQ0 |
| | | 1 | Enables IRQ0 |

Fig. 4.3 Registro IMASK

| | | | | | | | | |
|--|-----|-----|-----|-----|-----|-----|-----|-----|
| Bit | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R = Read W = Write, X = Indeterminate U = Undefined/Undetermined | | | | | | | | |

| Bit Position | R/W | Value | Description |
|--------------|-----|-------|----------------|
| 7 | R/W | 0 | Disables IRQ14 |
| | | 1 | Enables IRQ14 |
| 6 | R/W | 0 | Disables IRQ13 |
| | | 1 | Enables IRQ13 |
| 5 | R/W | 0 | Disables IRQ12 |
| | | 1 | Enables IRQ12 |
| 4 | R/W | 0 | Disables IRQ11 |
| | | 1 | Enables IRQ11 |
| 3 | R/W | 0 | Disables IRQ10 |
| | | 1 | Enables IRQ10 |
| 2 | R/W | 0 | Disables IRQ9 |
| | | 1 | Enables IRQ9 |
| 1 | R/W | 0 | Disables IRQ8 |
| | | 1 | Enables IRQ8 |
| 0 | R/W | 0 | Disables IRQ7 |
| | | 1 | Enables IRQ7 |

Fig. 4.4 Registro IMASK2

INICIALIZACIÓN DEL REGISTRO IREQ

IREQ es un registro que guarda las solicitudes de interrupción. A cada interrupción le corresponde un bit de este registro, cuando hay una interrupción, el bit que le corresponde se pone en estado alto. Los bits 0 a 5 están asignados para las solicitudes de interrupción IREQ0 a IREQ5, respectivamente (ver figura 4.5).

Cuando se ejecuta un RESET, el registro IREQ toma el valor de 00H.

| | | | | | | | | |
|---|-----|-----|-----|-----|-----|-----|-----|-----|
| Bit | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R = Read W = Write X = Indeterminate U = Undefined/Undetermined | | | | | | | | |

| Bit Position | R/W | Value | Description |
|--------------|-----|-------|---------------------|
| 7 | R/W | 0 | Reserved, must be 0 |
| 6 | R/W | 0 | IRQ6 reset |
| | | 1 | IRQ6 set |
| 5 | R/W | 0 | IRQ5 reset |
| | | 1 | IRQ5 set |
| 4 | R/W | 0 | IRQ4 reset |
| | | 1 | IRQ4 set |
| 3 | R/W | 0 | IRQ3 reset |
| | | 1 | IRQ3 set |
| 2 | R/W | 0 | IRQ2 reset |
| | | 1 | IRQ2 set |
| 1 | R/W | 0 | IRQ1 reset |
| | | 1 | IRQ1 set |
| 0 | R/W | 0 | IRQ0 reset |
| | | 1 | IRQ0 set |

Fig. 4.5 Registro IREQ

| | | | | | | | | |
|---|-----|-----|-----|-----|-----|-----|-----|-----|
| Bit | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R = Read W = Write X = Indeterminate U = Undefined/Undetermined | | | | | | | | |

| Bit Position | R/W | Value | Description |
|--------------|-----|-------|-------------|
| 7 | R/W | 0 | IRQ14 reset |
| | | 1 | IRQ14 set |
| 6 | R/W | 0 | IRQ13 reset |
| | | 1 | IRQ13 set |
| 5 | R/W | 0 | IRQ12 reset |
| | | 1 | IRQ12 set |
| 4 | R/W | 0 | IRQ11 reset |
| | | 1 | IRQ11 set |
| 3 | R/W | 0 | IRQ10 reset |
| | | 1 | IRQ10 set |
| 2 | R/W | 0 | IRQ9 reset |
| | | 1 | IRQ9 set |
| 1 | R/W | 0 | IRQ8 reset |
| | | 1 | IRQ8 set |
| 0 | R/W | 0 | IRQ7 reset |
| | | 1 | IRQ7 set |

Fig. 4.6 Registro IREQ2

GENERACIÓN DE LA INTERRUPTCIÓN POR SOFTWARE

El registro IREQ se puede usar para generar una interrupción por medio de software, esto se puede hacer especificando el IREQ como destino de alguna instrucción, usando este registro como cualquier otro registro de los archivos de registro estándar. En otras palabras, el IMASK controla el habilitamiento.

Para generar una interrupción por software podemos poner un bit en estado alto en el registro IREQ con la siguiente instrucción:

```
OR IREQ, #NUMERO
```

Esta variable "NUMERO" contiene un 1 en la posición correspondiente a la interrupción deseada, por ejemplo:

```
OR IREQ, #00100000B
```

En este caso, si el sistema de interrupciones está habilitado, IREQ5 se habilita, y no hay solicitudes de interrupción con más alta prioridad que se puedan llevar a cabo.

NOTA:

El software puede modificar IREQ en cualquier momento. Hay que tener cuidado cuando se modifica el registro IREQ mientras las fuentes de interrupción están activas, ya que si el software sobrescribe en el registro, este tiene prioridad sobre el hardware. Si llegara a haber una modificación por software en este registro en el mismo ciclo en el que el hardware genera otra interrupción, esta última se habrá perdido.

VECTORES DE INTERRUPCION

Cada interrupción del Z8^{PLUS} tiene su propio vector. Cuando ocurre una interrupción se pasa a una rutina de servicio de interrupción que es apuntada por el vector correspondiente. La secuencia de eventos al ocurrir una interrupción es la siguiente:

- Manda el Byte bajo del PC al stack
- Manda el Byte alto del PC al stack
- Manda las banderas al stack
- Deshabilita todas las interrupciones (bit 7 del IMASK)
- Saca el Byte alto del Vector
- Saca el Byte bajo del Vector
- Salta a la rutina de servicio de interrupción

La figura muestra la operación.

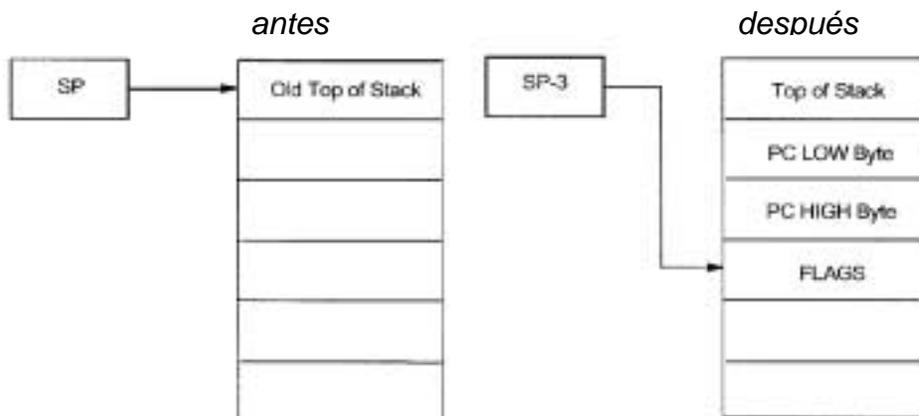


Fig. 4.7 El Stack antes y después de una interrupción

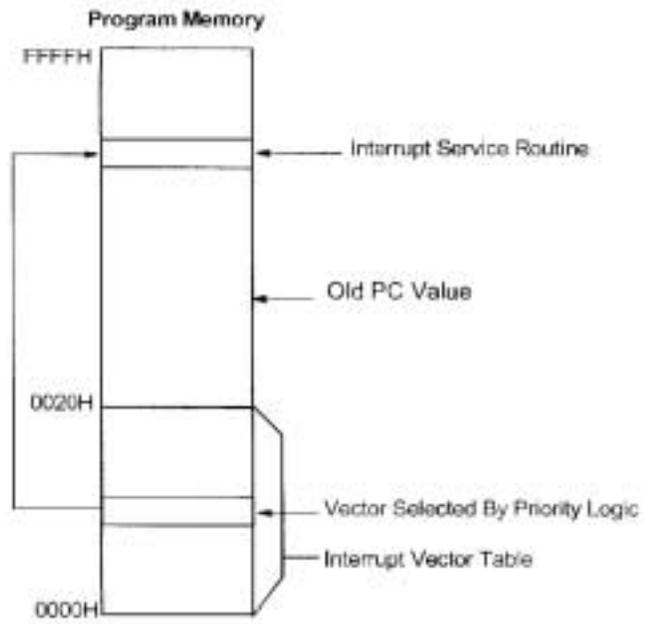


Fig 4.8 Localización de los vectores de interrupción