

RESET

En esta sección se describirán las condiciones de reset, el tiempo de reset y los procedimientos de inicialización de los registros. El reset es generado por el Brown-Out/Power-On Reset (VBO/POR), el Watch Dog Timer (WDT) y el Stop Mode Recovery (SMR).

Un sistema de reset anula todas las condiciones de operación y pone al sistema en un estado conocido. Para inicializar la lógica interna del chip, el POR cuenta con 64 ciclos de reloj después de que el oscilador se estabiliza. Los registros de control y los puertos no regresan a un valor predeterminado después de haber estado en modo STOP o después de que el WDT halla concluido su tiempo de conteo.

Durante el RESET el valor del contador de programa es de 020H. Los puertos de entrada y salida se configuran a su estado predeterminado de reset. El hecho de reiniciar el sistema no afecta los contenidos de los registros de propósito general.

El circuito de reset inicializa los registros de control y periféricos como se muestra en la tabla 4-1. Los valores específicos de reset están indicados con unos y ceros mientras que los que no cambian o no tienen un valor conocido están indicados con la letra U.

La ejecución del programa empieza después de 10 ciclos de reloj del cristal externo después del retraso (delay) del POR. La primera instrucción del programa debe encontrarse en la localidad 020H. La figura 5.1 muestra el tiempo de reset. Después del reset, la primera rutina que se ejecute deberá ser para inicializar el registro de control TCTLHI, seguido por la configuración de los demás registros de control.

Tabla 5-1 Registro de banderas, D0 y D1

D1	D0	Reset Source
0	0	V _{BO} /POR
0	1	SMR Recovery
1	0	WDT Reset
1	1	Reserved

Tabla 5-2 Registros de control y periféricos

Register (HEX)	Register Name	Bits								Comments
		7	6	5	4	3	2	1	0	
FF	Stack Pointer	0	0	U	U	U	U	U	U	Stack pointer is not affected by RESET.
FE	Reserved									
FD	Register Pointer	U	U	U	U	0	0	0	0	Register pointer is not affected by RESET.
FC	Flags	U	U	U	U	U	U	*	*	Only WDT & SMR flags are affected by RESET.
FB	Interrupt Mask	0	0	0	0	0	0	0	0	All interrupts masked by RESET.
FA	Interrupt Request	0	0	0	0	0	0	0	0	All interrupt requests cleared by RESET.
F9-F0	Reserved									
EF-E0	Virtual Copy									Virtual copy of the current working register set.
DF-DB	Reserved									
D7	Port B Special Function	0	0	0	0	0	0	0	0	Deactivates all port special functions after RESET.
D6	Port B Directional Control	0	0	0	0	0	0	0	0	Defines all bits as inputs in PortB after RESET.
D5	Port B Output	U	U	U	U	U	U	U	U	Output register not affected by RESET.

Register (HEX)	Register Name	Bits								Comments
		7	6	5	4	3	2	1	0	
D4	Port B Input	U	U	U	U	U	U	U	U	Current sample of the input pin following RESET.
D3	Port A Special Function	0	0	0	0	0	0	0	0	Deactivates all port special functions after RESET.
D2	Port A Directional Control	0	0	0	0	0	0	0	0	Defines all bits as inputs in PortA after RESET.
D1	Port A Output	U	U	U	U	U	U	U	U	Output register not affected by RESET
D0	Port A Input	U	U	U	U	U	U	U	U	Current sample of the input pin following RESET.
CF	Reserved									
CE	Reserved									
CD	T1VAL	U	U	U	U	U	U	U	U	
CC	T0VAL	U	U	U	U	U	U	U	U	
CB	T3VAL	U	U	U	U	U	U	U	U	
CA	T2VAL	U	U	U	U	U	U	U	U	
C9	T3AR	U	U	U	U	U	U	U	U	
C8	T2AR	U	U	U	U	U	U	U	U	
C7	T1ARH#	U	U	U	U	U	U	U	U	
C6	T0ARH#	U	U	U	U	U	U	U	U	
C5	T1ARLO	U	U	U	U	U	U	U	U	
C4	T0ARLO	U	U	U	U	U	U	U	U	
C3	WDTHI	1	1	1	1	1	1	1	1	
C2	WDTLO	1	1	1	1	1	1	1	1	
C1	TCTLH#	1	1	1	1	1	0	0	0	WDT enabled in HALT mode, WDT time-out at maximum value, STOP mode disabled.
C0	TCTLLO	0	0	0	0	0	0	0	0	All standard timers are disabled.

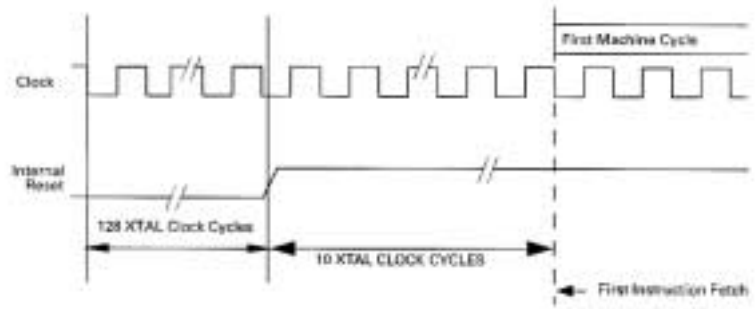


Fig. 5.1 Tiempo de reset