

# WATCH DOG TIMER

El Watch Dog Timer es un timer de 16 bits que reinicia el sistema cuando llega al final de su conteo. El WDT es dirigido por el pin del reloj XTAL2. Para proporcionar los periodos requeridos en la aplicación, el WDT es actualizado solo cada 64 ciclos de reloj. Cuando los modos HALT o RUN están en operación, el reinicio del WDT funciona como un vector de interrupción mandando el PC a la dirección 020H y poniendo un 1 la bandera del WDT. Después de reiniciar el sistema, el WDT esta totalmente habilitado con un valor mínimo, a menos que este valor sea programado durante la primera instrucción. El WDT no puede ser deshabilitado a menos que sea en el primer ciclo de reloj después del RESET o cuando el sistema se encuentra en modo STOP.

Un RESET limpia las banderas WDT y SMR. Cuando el tiempo de conteo del WDT termina, se activa la bandera WDT y la instrucción STOP pone la bandera SMR. Esta función permite al software determinar cuando hay un regreso del modo STOP o si ocurrió un termino de conteo del WDT. El hecho de leer las banderas no las regresa estado bajo, por lo tanto, el usuario debe limpiar la bandera vía software.

Como se muestra en la figura, los bits 4, 5, y 6 del registro TCTLHI determinan la duración del conteo. El valor preestablecido de D6, D5 y D4 son 001, este valor fija al WDT en un periodo de conteo mínimo. El bit 7 (WDT durante HALT) determina si el WDT esta o no activo durante el modo HALT. Un 1 indica que esta activo. Un 0 previene al WDT de no reiniciar el sistema mientras se encuentre en este modo.

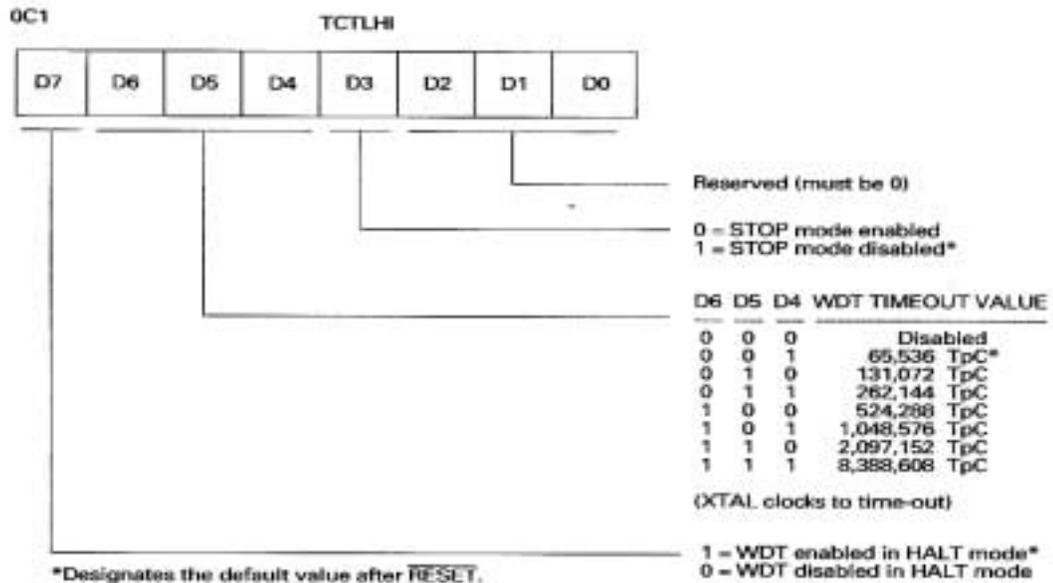


Fig. 5.2 Registro de control TCTLHI

Tabla 5-3 Tiempo del WDT

D6	D5	D4	Crystal Clocks* to Timeout	Time-Out Using a 10-MHz Crystal
0	0	0	Disabled	Disabled
0	0	1	65,536 TpC	6.55 ms
0	1	0	131,072 TpC	13.11 ms
0	1	1	262,144 TpC	26.21 ms
1	0	0	524,288 TpC	52.43 ms
1	0	1	1,048,576 TpC	104.86 ms
1	1	0	2,097,152 TpC	209.72 ms
1	1	1	8,388,608 TpC	838.86 ms

**Note:** \*TpC is an XTAL clock cycle. The default at reset is 001.