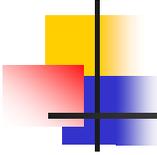


CICLOS DE MÁQUINA DEL Z80

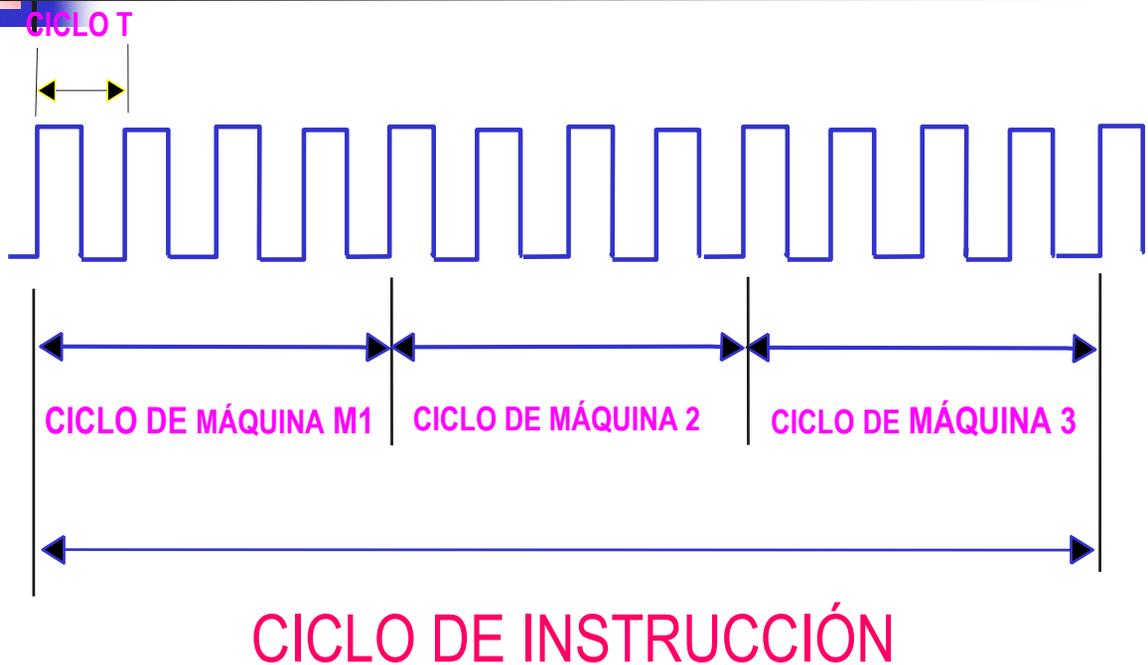
- Cuando el microprocesador ejecuta una instrucción lo hace mediante una o varias tareas básicas llamadas *ciclos de máquina*.
- Estas tareas que involucran a componentes internas del CPU, y/o a la memoria, o a los puertos de entrada y salida, son coordinadas por la CPU con las señales de interfase correspondientes, generadas en la unidad de control en una secuencia ordenada.



CICLOS DE MÁQUINA DEL Z80

EL INTERVALO DE TIEMPO QUE TOMA EL MICROPROCESADOR EN COMPLETAR LA EJECUCIÓN DE UNA INSTRUCCIÓN SE CONOCE COMO:
CICLO DE INSTRUCCIÓN.

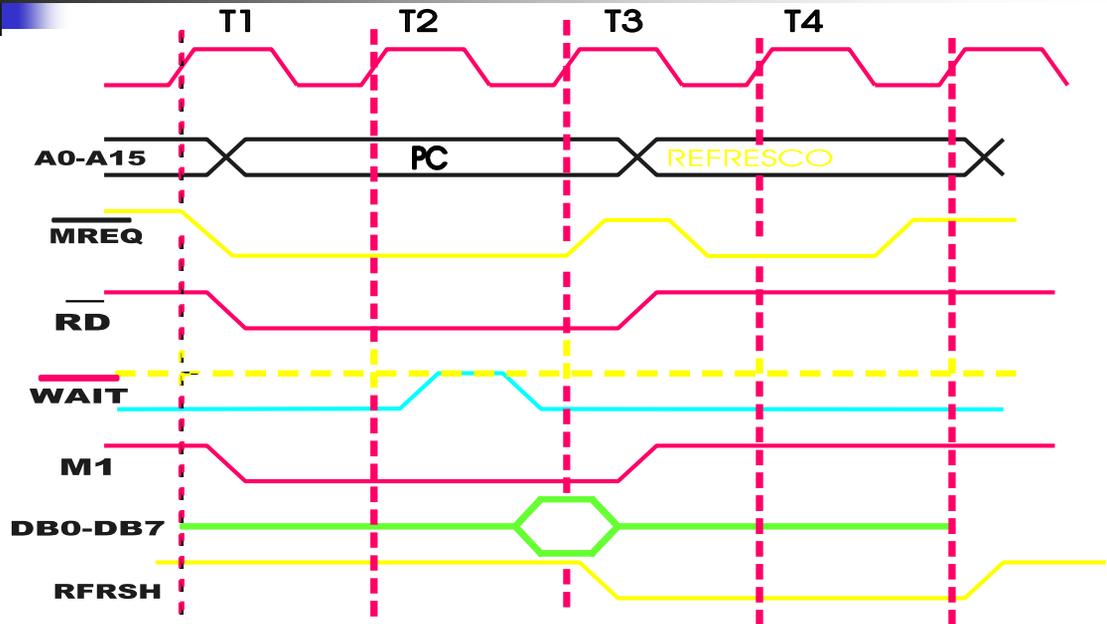
UN CICLO DE MÁQUINA SE TARDA VARIOS CICLOS DE RELOJ "T" EN COMPLETARSE



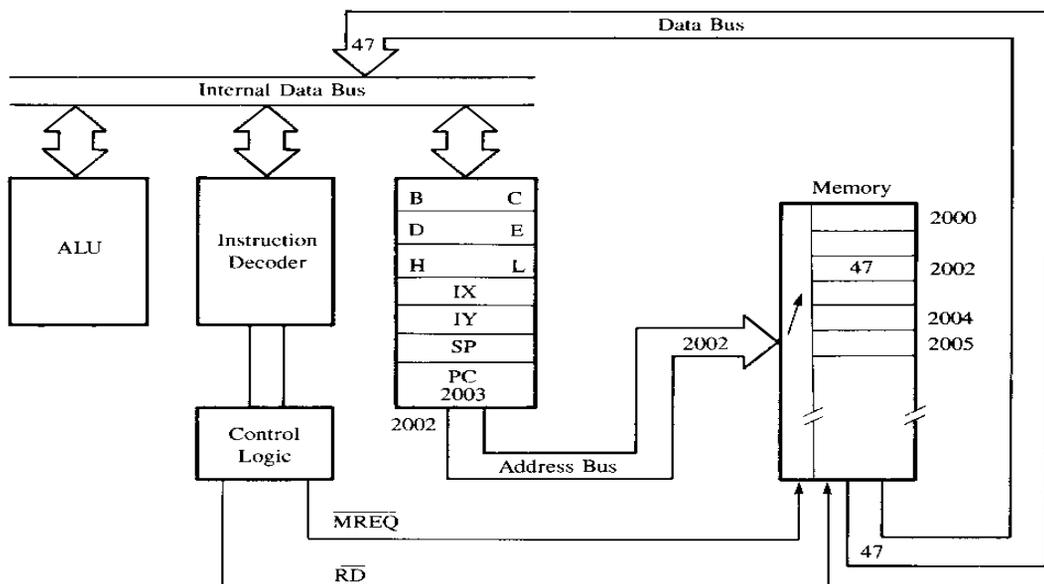
CICLOS DE MÁQUINA DEL Z80

- 1.-Búsqueda de código de operación de la instrucción o "ciclo M1"
- 2.-Escritura o lectura de datos en la memoria.
- 3.-Entrada o salida de puertos
- 4.- Solicitud / reconocimiento de los buses
- 5.-Solicitud / reconocimiento de una interrupción
- 6.-Respuesta a una interrupción no enmascarable
- 7.-Salida de la instrucción Halt

CICLO DE MAQUINA M1 O DE BUSQUEDA DE CODIGO DE OPERACIÓN



CICLO DE MAQUINA M1 O DE BUSQUEDA DE CODIGO DE OPERACIÓN

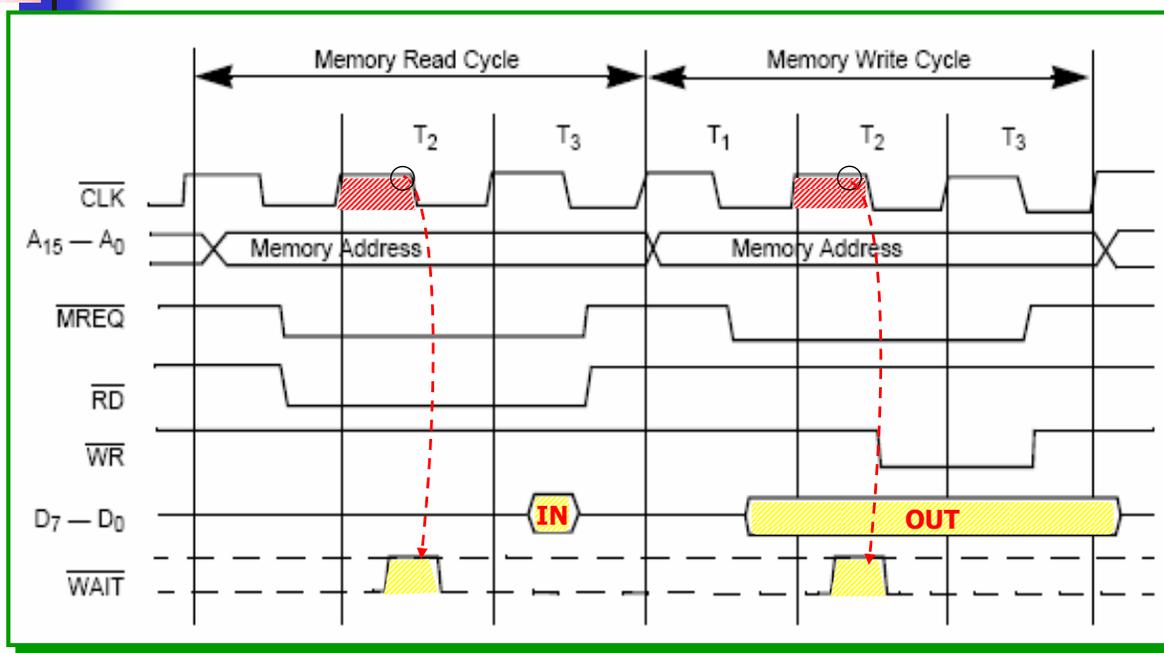


¿Qué sucede en M1 ?

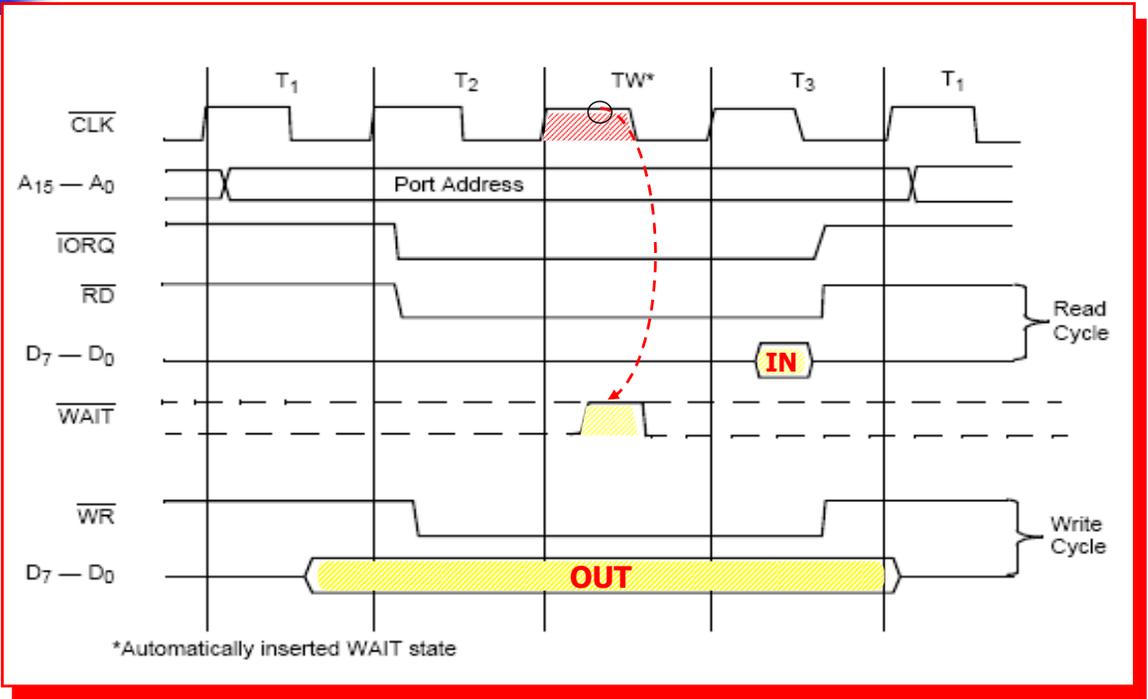
Tan pronto como entra el CPU en el ciclo M1:

- 1) La señal M1 se hace cero para indicar que se está realizando este ciclo
- 2) El contenido del PC es pasado al bus de direcciones en preparación para la búsqueda del código de operación de la sig. Instrucción a ejecutar.
- 3) En la caída de T1 las señales MREQ y RD se hacen bajo, indicándole a la memoria que hay una dirección de memoria válida en el bus de direcciones.
- 4) La memoria externa pasará ahora el contenido de la localidad especificada al bus de datos un poco antes del borde de subida de T3.
- 5) En el borde de subida de T3 , el byte de código de operación que está en el bus de datos es pasado al CPU.
- 6) Después RD sube su nivel junto con MREQ y M1.
- 7) Los dos ciclos restantes de M1 son usados para proporcionar Refresco a memoria dinámica externa.
- 8) La señal RFSH se pone baja y MREQ de nuevo se hace bajo para indicar que se puede proceder al refresco de memoria.
- 9) Durante los 2 últimos ciclos de M1 del CPU decodifica el código de operación de la instrucción.

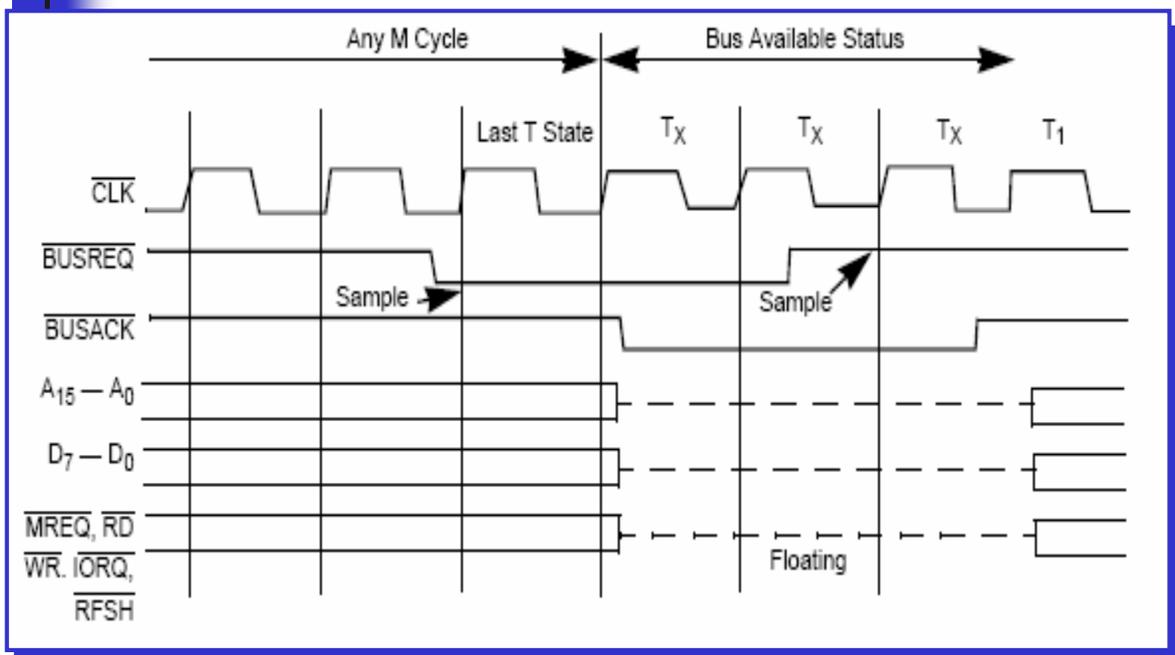
CICLOS DE LECTURA Y ESCRITURA EN MEMORIA



CICLOS DE ENTRADA O SALIDA



CICLO DE PETICIÓN/RECONOCIMIENTO DE LOS BUSES



CICLO DE PETICIÓN/RECONOCIMIENTO DE UNA INTERRUPCIÓN

